

Approved for use through 04/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Complete if Known

Application Number	N/A
Filing Date	02/19/04
First Named Inventor	Hirokazu HAYASHI
Art Unit	N/A
Examiner Name	N/A
Attorney Docket Number	R0307T

Sheet

91

U. S. PATENT DOCUMENTS

[illegible]

FOREIGN PATENT DOCUMENTS

FOREIGN PATENT DOCUMENTS						
Examiner Initials*	Cite No. ¹	Foreign Patent Document	Publication Date	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T ⁶
		Country Code ³ Number ⁴ Kind Code ⁵ (if known)	MM-DD-YYYY			
		JP 7-260867	10-13-1995	Fujitsu		

**Examiner
Signature**

Date .
Considered

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. ¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. ⁶ Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

の信頼性を調査する必要がある。然しながら、従来の当ゲート酸化膜の信頼性調査、評価方法に依りては、使用するプロセス技術でVOSキャパシタ等に異なった酸化膜が形成し、試験を行っていた。

(1) 異なった酸化膜が形成した素子を作成し、その後試験を行う場合、試験結果が得られるまでに時間がかかる。

(2) 試験用のパターンは通常VOSキャパシタを用いるが、MOSFETのゲート酸化膜とはその形状が異なるが、VOSキャパシタで得られたデータがそのままゲート酸化膜のデータとして使用することが出来ない。

【0006】(3) たとえゲート酸化膜にMOSFETの試験パターンを作成しても、LSIの世代が進むにつれて新たな試験パターンを作成しなければならぬ。

(4) ゲート酸化膜は、その形状により信頼性に影響を及ぼされるが、これ等の形状効果を分離して検証する事が困難であった。その為、従来のように、半導体装置の特性評価、即ち、トランジスタの特性、性能、形状等に則して評価する場合の試験基盤となるゲート酸化膜の信頼性を評価しようとする場合、その評価を開始する前にかなりの時間を要し、また、得られたデータより目的とするゲート酸化膜を評価する事が困難であり、更に、ゲート酸化膜としての評価を行っても、そのデータが最終の製造工程の試験に適用出来ない。トランジスタの製造工程、製造条件等が異なる毎に個別に上記した様な試験パターンを繰り返す必要があると言う問題があった。

【0007】

【発明が解決しようとする課題】 本発明の目的は、上記した従来技術の欠点を改良し、任意のサイズ、任意の形状からなる半導体装置に於ける特性を評価する為、に、各素子に形成されているゲート酸化膜の信頼性を短時間に効率的に評価する事が出来るシミュレーション方法を提供することであり、更に、係る評価方法を用いて、半導体装置の設計を行うと共に、半導体装置を製造する方法を提供するものである。

【0008】

【課題を解決するための手段】 本発明は上記した目的を達成するため、以下に記載されたような技術構成を採用するものである。即ち、本発明の第1の態様においては、基板にトランジスタが形成された半導体装置に於いて、ゲートの両側面に形成された半導体装置に於ける、ゲートの両側部分、ゲート・バーズビーク部分及びVLSI・バーズビーク部分の形状をそれぞれ独立したパターンの形状として取り扱うことが可能に、当該各部分が可変な形状に形成した半導体装置の特性評価パターンであり、第2の態様としては、半導体装置の基板上に形成されたトランジスタに、ゲート酸化膜の絶縁破壊に影響を与える要因である、ゲートの両側部分、ゲート

FETの形状の影響を定量的に評価する事が出来る。

【0013】

【実施例】 以下に、本発明に係る半導体装置の評価パターン、評価方法、及び半導体装置の設計例に製造方法の具体例を照会しながら詳細に説明する。即ち、図1は、本発明に係る半導体装置の特性を評価する為の一例として、トランジスタに於けるゲート酸化膜の信頼性を評価する為の評価パターンの一具体例を示す図であって、具体的には、基板上にトランジスタが形成された半導体装置に於いて、ゲート酸化膜の絶縁破壊に影響を与える要因である、ゲートの両側部分、ゲート・バーズビーク部分及びVLSI・バーズビーク部分の形状をそれぞれ独立したパターンとして取り扱うことが可能な評価パターンである。当該各部分が可変な形状に形成した半導体装置の特性評価パターンである。

【0014】より具体的に、本発明に係る特性評価パターン1としては、半導体装置の適宜のトランジスタ部に於けるソース領域2とドレイン領域3に接して形成されているゲート電極4を形成する為のマスクパターンであって、VLSI・バーズビーク部分に平行な第1と第2の帯状部分6、7と第3の帯状部分8、7とを連結している。7の間に配置され、かつ第1と第2の帯状部分6、7と直交し第1と第2の帯状部分6、7とを連結している。【0015】更に、本発明に於ける特性評価パターン1に於いては、該パターンの形状の長手方向にその長さ帯状部分6、7は、当該帯状部分の長手方向にその長さを可変に形成されるものであり、又該帯状部分8は、当該帯状部分の長手方向及び該帯状部分6、7と平行な方向との少なくとも何れか一方の方向に傾斜可能である様に形成されているものである。

【0016】尚、本発明に於ける上記した特性評価パターンに構成された、互いに異なる形状を有する複数の特性評価パターンが、一つのマスク上に、例えば、トリックス状に配置されて特性評価パターンブロックを構成する様にしても良い。つまり、本発明に於ける半導体装置の特性評価方法に於いては、例えば、トランジスタに於けるゲート酸化膜の信頼性試験の方法とそれ自体は、従来の方法とをそのまま使用する事が可能であるが、本発明に係る半導体装置の特性評価方法は、異なる形状の特性評価パターンの作成とその評価方法が、従来の信頼性試験とは異なるものである。

【0017】即ち、従来のように、前記した様に、例えばゲート酸化膜の信頼性試験を行うには、当該信頼性試験を受けるトランジスタと同一のトランジスタを個別にサンプルとして作成する必要があるが、本発明に於いては、後述する様に、かなりの評価データを実際のトランジスタに当てはめて推測する事が可能であるので、全ての被測定トランジスタに個別に測定用のサンプルを作成する必要がない。

【0018】更に、本発明に於いては、当該トランジスタのゲート酸化膜に関する信頼性試験を行うにあたり、図2に示す様に、ゲート酸化膜の信頼性試験に於いて、トランジスタの各部分が、個別に影響を与える要因を、互いに分離して評価出来るようなシステムを開発する事が出来たものである。つまり、ゲート酸化膜は、その酸化膜の信頼性を低下させる欠陥部分が一般的には内蔵されており、係る欠陥部分の存在が、トランジスタに於ける酸化膜の寿命に大きな影響を与えるものである。

【0019】従って、正確なゲート酸化膜の信頼性試験を行うにば、係る欠陥部分がゲート酸化膜中のどの部分に存在するかを、確認する事が重要であり、その為、トランジスタの各部分がどの程度の影響を当該ゲート酸化膜の信頼性に与えているかを、個別に独立した信頼性評価の必要がある。従来の方法に於いては、係る信頼性を無視して信頼性試験を行っていた為、データが正確ではなく、従って、構成の異なるトランジスタについては、個別に測定用のサンプルを作成して、信頼性試験を実行しなければならなかった。

【0020】本発明に於いては、係る問題を解決する為、鋭意検討した結果、上記の欠陥部分が、トランジスタのどの部分に存在するかを図2に示す様にモデル化する事によって、ゲート酸化膜の信頼性をシミュレーションする事が可能となったものである。即ち、図2に示す様に、上記の欠陥部分の存在する場所を3種類に分けて評価しようとするものである。

【0021】図2のAは、ゲートの下の部分9に欠陥部分が多く存在するした場合であり、図2のBは、ゲートとソース、ドレインとの重なり部分10、11、即ちゲート・バーズビーク部分に欠陥部分が多く存在する場合であり、又図2のCは、ゲートとフィールド酸化膜(LOC)との重なり部分11、11'、即ちLOC OS・バーズビーク部分に欠陥部分が多く存在する場合である。

【0022】そして、かかる3個のパラメータが独立して、評価出来る様な試験素子パターンを使用しなければ、係る3個のそれぞれの影響を分離する事が出来なくなる。更に、上記の様な分離分析を行うには、各パラメータが独立している必要がある。

【0023】従って、図2に示す様な、通常の二次元の形状を有するマスクパターンを使用したのでは、分析評価が不可能な形状が発生した場合に、対処出来ない事が予想され、従って、本発明の目的が達成出来ない事は明らかである。係る問題を解決して、本発明の目的を達成する為、本発明に於いては、上記した様な特殊な構成を有するゲート形成用マスクパターンを採用するものである。

【0024】つまり、本発明に於いては、上記したゲート酸化膜の信頼性試験に適した特性評価パターンを使用する事によって、トランジスタに於ける各部分のデータ

酸化物である他は酸が、如何なる状態で破壊されるか、又破壊される酸を個別に判断することが出来、更にどの部分が破壊されやすいか、その破れやすい要因が支配的であるかどうか等を正確に判断出来る。

【0025】具体的に、感る結果を得た複製数のトランジスタからなる半導体装置の特性評価を、ゲート電圧の異なる複数のトランジスタにより実行する場合には、まず公知の真鍮板試験法を用いて、当該真鍮板サンプルを作成された直近の真鍮板試験法に従って作成された直近のトランジスタの伝達係数であり、或る特定の感度を有するトランジスタの伝達係数が検出を行う場合のサンプルの作成方法を指示している。

【0024】本発明では、ゲート特化型の絶縁被覆による影響をなえらる上記3種類の部分即ち、ゲート面積、ゲート・バース・エプキ、LOCOS・バース・エプキとそれらの交差部分にある交差作明の項目の4種類のパラメータをとり、各項に付ては、3水準の構成上の変化をなえらる各項目に付てある。例へば、ゲート・バース・エプキについて、1はその長さが10 μ m、2は長さが20 μ m、3は長さが30 μ mという様に、パラメータを取っているものである。

【0.0.2】そして、本具体例に於いては、9種類のテキスト・ハタチンを作成する事が必要となる事を示している。つまり、図3の横道表は、各ハタチンに於ける上記電算プログラムによるデータの水準の組合せが指示されている。従って、電算プログラムに従えば、通常のデータの形状では難しえない、形状のハタチンを生ずるものも多く作成する必要がある。生ずる事になり、従来のテキスト・ハタチンでは、全く別題にする事が不可能であった。

「[0028]例えば、図3の試望表に於けるサンプルとかサンプル4或いはサンプル7等は、従来の方法でそのサンプルを生成出来るとしても、例えば、サンプルでは、試料のデータ面積が小さいのに対して、 zeroes、パズルマーク及びOCOS、パズルマークと共に、パズルマークを示しているの、従来のとは相反する形となっており、

に示す通り、本発明に於ける上記図1に示す特性評価パターンを使用する事によって、該部分の長さ、或いは、連結部分Rの長さや幅を調整する事によって、容易に図3の該部分に於いて指示されている所定のサンプリングを作成する事が出来る。つまり、サンプリングの様なパターンでは、図1の特性評価パターンを使用する事によって、L/OCS・バースビートの影響を大きくしても、データ部の面積の増加は限なく無視し得る形状にする事が出来るので、例えば、L/OCS・バースビートは長く、面積は小さいと云う様なデータ組合せ構成を構成する事が可能となる。【0030】本発明に於いては、異なる特性評価パターンを用いて、該発明が両面により指示されたそれぞれの形状パターンを有するデータ形成用のパターンマスクを作

成し、それを基に、所定のターゲット形状を有する試験用トラランジスタを形成するものである。又、係る特性評価用ターゲットで、それぞれ互いに異なる形状の複数種の特性評価用ターゲットを、ブロック化して、被蒸発面したマスキングパターン2を準備して、被蒸発面したマスキングパターン2を適宜に選択されたそれぞれの形状パターンに適合する特性評価ターゲットを適宜に選択当該マスキングパターンから選択したターゲット、被蒸発用ランジスタを作成するものであった。図4は、図3の被蒸発面したマスキングパターン2を適宜に選択されたそれぞれの形状パターンに適合する特性評価ターゲットを適宜に選択当該マスキングパターンから選択したターゲット、被蒸発用ランジスタを作成するものであった。図4は、図3の被蒸発面したマスキングパターン2を適宜に選択されたそれぞれの形状パターンに適合する特性評価ターゲットを適宜に選択当該マスキングパターンから選択したターゲット、被蒸発用ランジスタを作成するものであった。

【0031】次に、本発明に於ける該特性評価ハターンを用いて、所定の半導体装置の特性評価を執行し、信頼性を予測する方法について説明する。上記した様に、ゲート酸化膜の信頼性は、該ゲート酸化膜中に存在する欠陥密度により左右されるので、上記した様に、ゲート酸化膜の欠陥密度を代表する上記ハレマータ、ゲート電圧、ゲート・バーストピーク及びLOCOS・バービーズを用いて、当該ゲート酸化膜の信頼性を表す事が出来る。

【0032】係る信頼性の評価の指標としては、前記した様に、TDDB、つまり、所定の構成のトランジスタのゲート酸化膜に電圧を印加し、又は定電流を印加する方法を用いて、QDDB、つまり、所定の構成のトランジスタの電極に飽和電流を流すことにより、当該ゲート酸化膜に飽和電流を流すことにより注入した、当該ゲート酸化膜に飽和電流を流すことにより注入した電荷の総量を求め、その電圧を印加する方法を用いる方法とされる。

【0033】係る方法を実行する為には、前記した様に、実験計画法によって求めた各種のテストサンプルを作成した後、各サンプルの所定の電極に検査フローを当て、又は、所定の電圧を印加して電流を印加し、その間、例えば、当該トランジスタに印加される電圧をモニタし、当該電圧が所定の電圧に低下した場合、又は当該トランジスタに印加される電流をモニタし、当該電流が所定の電流に増加した場合、当該ゲート酸化膜に飽和電流を流すこととしたと判断し、その時点までに印加された電荷の総量、或は時間等を測定するものとなる。

【0034】係る測定情報は、一つの基座に形成された前記した複数種のデスト用サブナラランジスタに対して、適宜の格納プローブを適宜の制御手段を用いて移動させながら測定する事も可能である。本発明に於いて、上記した評価測定方法によって、得られた各座のデータを用いて示す評価用算式を用いて評価するものである。

【0035】以下の説明では、ゲート酸化膜の信頼性試験評価面において、QD Bを用いて評価する場合を例に採って説明する。即ち、QD Bは、ゲート酸化膜が絶縁破壊を生じるまでに当該ゲート部に注入された総電荷量を示すものであり、係るQD Bを記したゲート面積、ゲート・バースピーク及びLCOS、バースピークをパラメータとした独立変数を持つ以下に示す線形多項式

(1)を用いて演算処理を行うものである。

$$\frac{B1}{AREA^*} + \frac{B2}{EDGE^*} + \frac{B3}{+OVERLAP \times (A3 + \dots) + C} \quad (1)$$

ここで、 $AREA : \text{ゲート面積}$

EDGE : ザ・ト・ハ・ス・ク

OVERLAP : LOCOS・バーズ・ク

A1 A2 A3 B1 B2 B3 C - 宝粉

[illegible]

をてれこれ小う..

100.3%) 即ち、上記多項式 (1) は、QDの結構値に於ける正の影響を示される乗算部分と乗除部分とを合せたものとして、乗反比例部分との割合となっており、又各パラメータに依り、即ちAPC、EDC、及びWAP 部分には、信頼性が験に供される半導体製造を構成する全トランジスタX個の起パラメータ数が入力されることになる。

【0038】つまり、ハラメータのAREAの部分には、X
xxxxxxチャネル長とXチャネル幅のデータが入力される事にな
る。又EPRの部分には、Xチャネル幅×2のデータが
入力され、更にOFRAPの部分には、Xチャネル長×
2のデータが入力される事になる。係る各独立変数であ
る特性評価パラターンを用いて、前記した様に、図1に示され
る特性評価パラターンを用いて、並列トランジションの致、
トランジション形状を大きく条件を揃った試験用のトラン
ジションを作成しては特性試験を行うものである。

【0039】前記した様な方法で、作成された試験用のランランジスタの全てに付いてQDRを測定した後、そのデータと前記の多項式(1)を用いて、例えば、重回帰分析等の統計的処理を行う事によって、上記多項式(1)の各係数が求められる本になる。一方、係る多項式(1)に於ける係数が求められ、それ以後は、同一のプロセス条件によって製造されたMOSFET等のトランジスタならならなる半導体装置に於いては、そのトランジスタの形状、サイズ、個数等が異なっている、同一の多項式(1)を用いてその信頼性試験を行い、その信頼性を調べる事が出来る。

【0040】つまり、本発明に於ける上記特性評価データと特性評価方法とを用いる事によって、一層上記多式の所定の係数を求める事によって、① 改めるとの係数特性を驗を行う必要がなくなるので、サンプル作の煩雑性は少く、信頼性の試験時間が不要となり半導体装置の開発時間が短縮出来る。② 又、本発明に於ける詳細な方法では、実際のMOSFET等のトランジスタ構造に対して得られた信頼性評価結果であるので、その演算結果を実際のLSI等に直接適用する事が出来る。③ 更には、実際のLSI等の形状、構造が異なるものでも、一のプロセス条件で製造されたトランジスタであれば、

そのまま適用する事が可能である。④ 又、本発明に於いては、LSI等の世代が替わっても、2〜3世代先の半導体装置の信頼性を評価する事が可能であるし、トラジスタ等々の形状が縮小した場合には別には信頼性試験を行う必要もない。⑤ 又本発明に於いては、MOSFET等の形状の影響を定量的に評価する事も可能である。

④ 更に、本発明に於いては、上記多項式のハラメータは、QDBのみならず、ゲート酸化膜の信頼性の全ハラメータにも応用出来る。

【0041】図5は、上記した本発明に係る特性評価ハ
ルダゲージを用いて、且つ上記した信頼性試験諸多項式を
用いて、特定のトランジスタ構造を有する半導体装置に
対しては信頼性試験を行った場合の結果を示すものであ
る。図5に於ける横軸は、当該半導体装置に形成されて
いるトランジスタの幅を示すものであり、S1の領域
では、トランジスタのゲート幅Wを順に増加させた例を
示し、S2の領域では、トランジスタのチャネル長Lを
順に増加させた例を示し、又S3の領域は、図1に示す
異なるトランジスタ構造を各例に変化させた場合の例を示して
いる。

【0042】一方、図6は、前記した昌順作図法として、 Q の QD の値を示すものである。又、図5に於いて、 O は、実際に測定された QD 値であり、実線は、実際に測定された QD 値の平均値を示している。又、点線は、 O より求められたそれぞれの QD の基に、前記した多項式(1)の係数を前算で求め、当該係数を代入し、多項式(1)を用いて、同一のランダムタの QD をそれぞれシミュレーションして得た結果を示すものである。この結果から明らかである、本発明に於ける特許価値ターゲと特性評価多項式(1)は、実際に測定した結果と極めて良く一致しており、充分に実用し得るものである事を示している。

【0043】次に、本発明に係る特性評価方法を用いて、実際に半導体装置の設計若しくはその製造を検討する場合を考えてみる。図6は、上記の方法で係数が求められた多項式(1)を用いて、信頼性試験時と同一のプロセス条件のもとで製造されたトランジスタを内蔵する半導体装置に付いて、その特性評価、信頼性評価をシミュレーションにより求めてみた結果を示すものである。【0044】即ち、図6の縦軸は、QDIB値を示し、横軸は、当該半導体装置に内蔵されるトランジスタの個数を示すものである。又、図6のグラフは、当該トランジスタのサイズ、例えばW/Lを変化させると共に、トラ

ランジスタのゲート酸化膜の厚みを変化させた場合の例を示すものである。

【0045】つまり、グラフT1からT3は、ゲート酸化膜の厚みを変化させて形成したトランジスタを示し、グラフ中左から右に移行するに従って、トランジスタのサイズが小さくなり、集積度が上昇していき、例によって、更に、各グラフT1からT3は、それぞれトランジスタの構成、即ちW/Lをそれぞれ3段階にわたって変化させた例を示している。

【0046】係る結果から、例えば、トランジスタのサイズが小さくなる場合には、チャネル長つまりLOCOS・バーズビークの形状を調整すると、W/L比を変化させる事にし、酸化膜特性を向上させる事に、効果がある事が出た。又、それぞれに合う様にトランジスタの設計を変更する事が可能となる。

【0047】次に、本発明に於ける上記半導体装置の特性評価方法を利用して、前記した様な半導体装置に於けるトランジスタの設計が可能であり、その設計方法の一例を以下に示しておく。即ち、半導体装置の基板上に形成されたトランジスタに、ゲート酸化膜の絶縁破壊に影響を与える要因である、ゲートの面積比、ゲート・バーズビーク部分及びLOCOS・バーズビーク部分をパラメータとして含め、且つそれぞれのパラメータに対して、所定の係数を付与してなる評価多項式を用いて半導体装置の特性評価を行うに際し、複数種類の異なる基盤・パターンを用いて、所定の試験用トランジスタを形成する工程、かくして得られた複数種類の試験用トランジスタに対して、それぞれ所定の工段的絶縁破壊試験を実施する工程、前記試験用トランジスタにより得られた評価データと当該試験用の各トランジスタに於けるパラメータとを前記多項式に代入して、統計的手法に従って、当該多項式に於ける各パラメータの係数を算出する工程、当該係数が決定された多項式を用いて、特定の設計条件を有する試験用トランジスタの絶縁破壊試験を行う工程、当該絶縁破壊試験により得られた結果から、試験用トランジスタに於けるトランジスタの特性評価を行う工程、該特性評価の結果に基づいて、当該試験用トランジスタに於ける、絶縁破壊し易い部分の構成を変更する処理を行う工程、とから構成されている半導体装置の設計方法である。

【0048】更に、係る設計方法を活用する事によって、所定の半導体装置を容易に製造する事が可能である。

【0049】

【発明の効果】本発明は、上記した様な技術構成を採用しているため、一つの評価試験用のパターンを作成し、上記した多項式を用いてその測定結果を解析する事によって、次世代、次世代のLSIに於けるゲート酸化膜の信頼性をシミュレーションする事が可能となる。

【0050】従って、信頼性評価時間が短縮され、又幾つもの酸化膜厚みの異なる素子を作成することも必要でない。従って、半導体装置の開発に寄与する事が大きい。更に、本発明に係る上記した半導体装置の評価パターンと該評価パターンを用いた半導体装置の特性評価を実行する事によって、実験計画法により指示された、実現不可能なゲートのパターンでも容易に作成して評価を実行出来るので、評価動作が簡便となると共に、正確な評価結果が迅速に得られる。

【0051】更に、所定の演算式を使用する事によって、一度当該演算式の係数を決定しておく事によって、同一の製造条件、同一のプロセス技術で製造されるトランジスタについては、その形状が異なっているものでも、極めて高い精度を以て、その信頼性を評価する事が可能となる。又、評価結果を得る為には、再度信頼性試験を行う必要がなく、サンプルの作成を含めて信頼性試験の要する時間を大幅に短縮する事が可能となり、その結果、半導体装置の開発時間が大幅に短縮される。

【図面の簡単な説明】

【図1】図1は、本発明に係る特性評価ゲートパターンの一具体例の形状を示す平面図である。

【図2】図2A〜図2Cは、本発明に於ける信頼性評価試験の基本原理を説明する図である。

【図3】図3は、本発明に於いて使用される実験計画法による測定サンプルの指示例を示す計画図である。

【図4】図4は、本発明に於いて使用される特性評価ゲートパターンを搭載したハタチンブロックの例を示す平面図である。

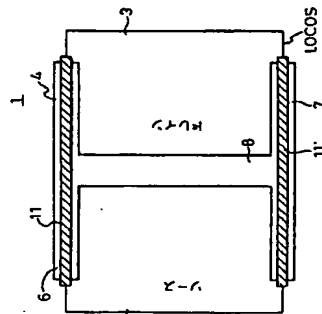
【図5】図5は、本発明に於ける信頼性試験を行った結果を示すグラフである。

【図6】図6は、本発明に於ける信頼性試験方法に従って、特定の半導体装置に於いて信頼性をシミュレーションした結果を示すグラフである。

【符号の説明】

- 1…特性評価ゲートパターン
- 2…ソース領域
- 3…ドレイン領域
- 4…ゲート電極
- 6、7…第1及び第2の指状部分
- 8…連結部分
- 9…ゲートの面積部分
- 10、10'…ゲート・バーズビーク部
- 11、11'…LOCOS・バーズビーク部
- 12…特性評価ゲートパターンブロック

【図1】

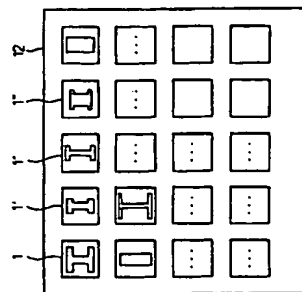


【図3】

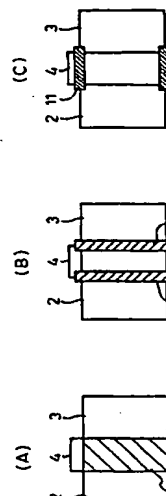
1、(3)リッチ交換

列番 No	第1段	ゲート・バーズビーク	LOCOS・バーズビーク	交換作用
1	1	1	1	1
2	1	2	2	2
3	1	3	3	3
4	2	1	2	3
5	2	2	3	1
6	2	3	1	2
7	3	1	3	2
8	3	2	2	3
9	3	3	1	1

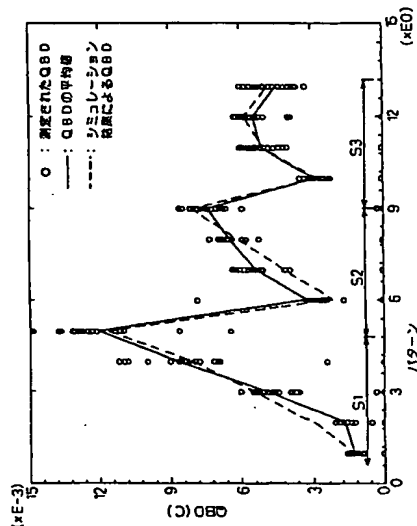
【図4】



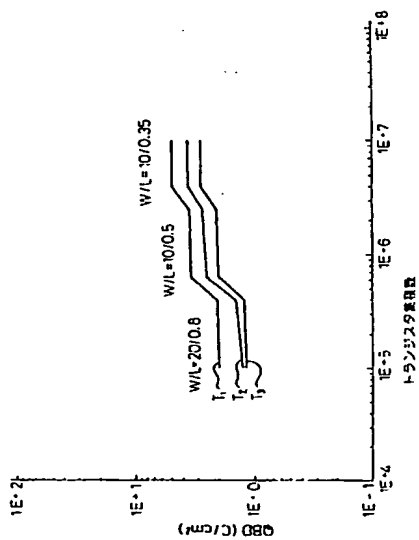
【図2】



【図5】



【図6】



エレクトロニクス

(5) 100.0.6

100.0.6 21.316

識別記号 内部処理番号

F I

技術表示箇所